

CLIPPEDIMAGE= JP02002016138A

PAT-NO: JP02002016138A

DOCUMENT-IDENTIFIER: JP 2002016138 A

TITLE: FORMATION METHOD OF VIA STUD AND LINE SEMICONDUCTOR
STRUCTURE

PUBN-DATE: January 18, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
DALAL, HORMAZDYAR M	N/A
BARENDORA, AGARUWARA	N/A
TERENCE, KANE	N/A
PAUL, S MCLOUGHLIN	N/A
NGUYEN, DU	N/A
RICHARD, PROCTER	N/A
RATHORE, HAZARA S	N/A
YUN-YUU, WONG	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
INTERNATL BUSINESS MACH CORP <IBM>	N/A

APPL-NO: JP2001117681

APPL-DATE: April 17, 2001

INT-CL (IPC): H01L021/768;C25D005/02 ;C25D007/12
;H01L021/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an interconnection with an improved electromigration life.

SOLUTION: The formation method of a via stud comprises a) a process for preparing a substrate 10 with at least an attached first level metal 22, wherein the first level metal is provided inside a first insulator 25, b) a process for attaching a layer of a second insulator 35, c)

a process for
etching a second insulator by etchant for forming a
relevance level, wherein
the relevance level has at least one line opening 33 and at
least one via
opening 34, each opening has a side wall and a bottom part,
and a first level
metal and a part of a first insulator at a lower side of a
via opening are
exposed by etching, d) a process for etching a part of the
exposed first
insulator, and e) a process for attaching a liner 51.

COPYRIGHT: (C) 2002, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16138

(P2002-16138A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/768		C 2 5 D 5/02	E 4 K 0 2 4
C 2 5 D 5/02		7/12	5 F 0 3 3
7/12		H 0 1 L 21/90	B
H 0 1 L 21/3205		21/88	R

審査請求 有 請求項の数21 OL (全 8 頁)

(21) 出願番号 特願2001-117681(P2001-117681)

(22) 出願日 平成13年4月17日 (2001.4.17)

(31) 優先権主張番号 09/552531

(32) 優先日 平成12年4月19日 (2000.4.19)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

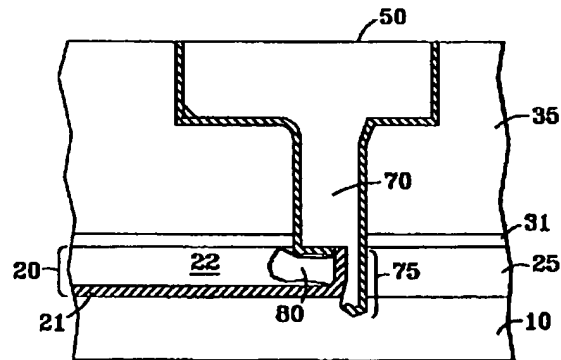
最終頁に続く

(54) 【発明の名称】 バイアスタッドの形成方法およびライン半導体構造

(57) 【要約】

【課題】 改善されたエレクトロマイグレーション寿命を有する相互接続部を提供する。

【解決手段】 バイアスタッドを形成する方法であって、a) 付着された少なくとも第1レベルの金属22を有する基板10を準備する工程を含み、第1レベルの金属は、第1の絶縁体25内に設けられ、b) 第2の絶縁体35の層を付着する工程と、c) 関連レベルを形成するために、エッチャントで第2の絶縁体をエッチングする工程とを含み、関連レベルは、少なくとも1つのライン開口33と少なくとも1つのバイア開口34とを有し、各開口は、側壁と底部とを有し、エッチングは、第1レベルの金属と、バイア開口の下側の第1の絶縁体の一部を露出させ、d) 露出された第1の絶縁体の一部をエッチングする工程と、e) ライナ51を付着する工程とを含む。



【特許請求の範囲】

【請求項1】バイアスタッドを形成する方法であって、

a) 付着された少なくとも第1レベルの金属を有する基板を準備する工程を含み、第1レベルの金属は、第1の絶縁体内に設けられ、

b) 第2の絶縁体の層を付着する工程と、

c) 関連レベルを形成するために、エッチャントで前記第2の絶縁体をエッチングする工程とを含み、前記関連レベルは、少なくとも1つのライン開口と少なくとも1つのバイア開口とを有し、各開口は、側壁と底部とを有し、前記エッチングは、前記第1レベルの金属と、前記バイア開口の下側の前記第1の絶縁体の一部を露出させ、

d) 露出された前記第1の絶縁体の一部をエッチングする工程と、

e) ライナを付着する工程とを含む、方法。

【請求項2】前記ライナの厚さは、多くとも約100Åである、請求項1に記載の方法。

【請求項3】前記第1の絶縁体のエッチングされた部分は、前記バイア開口の幅にほぼ等しい、請求項1に記載の方法。

【請求項4】前記工程cにおけるエッチングは、酸化物エッチングである、請求項1に記載の方法。

【請求項5】前記工程cにおけるエッチングは、露出された前記第1の絶縁体の少なくとも一部がエッチングされるまで、続けられる請求項4に記載の方法。

【請求項6】前記第2の絶縁体は、有機または無機材料である、請求項1に記載の方法。

【請求項7】前記第2の絶縁体は、酸化シリコン、窒化シリコン、酸化シリコン層および窒化シリコン層の複合物、有機シリケートガラスよりなる群から選ばれる、請求項6に記載の方法。

【請求項8】前記第2の絶縁体は、3.0より小さい誘電率を有する、請求項6に記載の方法。

【請求項9】前記第2の絶縁体は、化学的多孔質である、請求項6に記載の方法。

【請求項10】前記第2の絶縁体は、ゼロに近い破壊強度を有する、請求項6に記載の方法。

【請求項11】前記ライン開口を、金属で充てんする工程をさらに含む、請求項1に記載の方法。

【請求項12】前記金属は銅である、請求項11に記載の方法。

【請求項13】前記ライナは、タンタル、チタン、タングステン、窒化タンタル、窒化チタン、窒化タングステンよりなる群から選ばれる、請求項12に記載の方法。

【請求項14】少なくとも2つのレベルの金属を有する基板を備え、第1のレベルの金属は、第1のレベルは少なくとも1つの第1レベルのライン部を有し、この第1レベルのライン部は、第1の絶縁体内に設けられて、側壁を有し、第2のレベルは、側壁および底部を有する少

なくとも1つの第2レベルのライン部と、側壁および底部を有する1つのバイア部とを、第2の絶縁体内に有し、前記バイア部は、前記第1レベルのライン部と、前記第2レベルのライン部とを接続し、前記バイア部の一部は、前記第1レベルのライン部と前記第1の絶縁体との間に設けられ、第2レベルのライン部の側壁および底部と、前記バイア部の側壁および底部とを、ライナが裏打ちする、ライン半導体構造。

【請求項15】前記バイア部は、前記第1の絶縁体の一部を、置き換えている、請求項14に記載のライン半導体構造。

【請求項16】前記第1および第2の絶縁体のうちの少なくとも一方は、酸化シリコン、窒化シリコン、酸化シリコン層および窒化シリコン層の複合物、有機シリケートガラスよりなる群から選ばれる、請求項14に記載のライン半導体構造。

【請求項17】前記第1および第2の絶縁体は、同一の材料よりなる、請求項16に記載のライン半導体構造。

【請求項18】前記第1レベルのライン部と、前記第2レベルのライン部と、前記バイア部とは、金属よりなる、請求項13に記載のライン半導体構造。

【請求項19】前記金属は銅である、請求項18に記載のライン半導体構造。

【請求項20】前記第1レベルのライン部の下側のライナ層を備え、このライナ層は、前記バイア部と接触している、請求項19に記載のライン半導体構造。

【請求項21】前記ライナ層は、タンタル、チタン、タングステン、窒化タンタル、窒化チタン、窒化タングステンよりなる群から選ばれる、請求項20に記載のライン半導体構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一般的には半導体デバイスに関し、具体的には、半導体集積回路のための、低誘電率誘電体により絶縁された高導電率導体を有するサブミクロン寸法の高性能相互接続部の構造に関する。

【0002】

【従来の技術】半導体集積回路(IC)における改善された性能は、損失率を低減することによって実現される。損失率は、相互接続部のインダクタンス、キャパシタンス、抵抗に直接に関係している。最近、従来のアルミニウムをベースとした金属を、高導電率の銅金属により置き換えることによって、ライン抵抗が減少され、絶縁体層によって分離されたマルチレベルの配線を含む相互接続方法を用いることによって、インダクタンスは低減されてきた。しかし、層間絶縁体および今日の高密度回路の増大した配線密度は、キャパシタンスを増大させ、その結果、相互接続キャパシタンスが、デバイス性能の主な低下要因となっている。

【0003】キャパシタンスを提言させるつの方法は、導電ラインを分離する絶縁体の誘電率(k)を小さくすることである。“空気”は、最低の誘電率($k=1$)を有することが知られているので、多量の閉じ込められた空気を含む有機または無機材料が開発されてきた。このような材料の1つは、多孔質有機シリケートガラスである。従って、銅ベースの金属よりなる相互接続部と多孔質絶縁体とが望まれる。

【0004】銅ベースの金属の制限の1つは、銅導体に対する接着力および防食を与えるためには、バリア層(通常は、高融点金属の1つ以上の層)が要求される。マルチレベル相互接続部では、電子は、1つのレベルの相互接続部から他の相互接続部へ流れるときに、このバリア層を通り抜けなければならない。

【0005】高電流密度は、導体ラインに質量輸送(エレクトロマイグレーションとして知られる現象である)を生じ、導体ラインにボイドを形成し、電気的な開回路を形成することが知られている。質量輸送速度の急激な変化(原子フラックスの発散)は、エレクトロマイグレーションの主な原因であることは示されている。従って、高導電率金属の相互接続部内にバリア金属が存在することは、原子フラックスの急な発散を生じさせ、ボイドを形成する。これは、図1に示される。図1は、現在の技術のマルチレベル相互接続部の断面図である。n番目のレベルの相互接続ラインM1(1)は、ダマシン法で形成され、(n+1)番目のレベルの相互接続ラインM2(3)と、バイアスタッドV1(2)とは、ダブル(デュアル)ダマシン法によって形成される。相互接続ラインおよびバイアスタッドは、導体ラインおよびスタッドの側部および底部に、バリア層を有している。図示のように、相互接続ラインM2からバイアスタッドV1を経て相互接続ラインM1へ流れる電子は、バイアスタッドV1の底部で高融点金属バリア層を通り抜けなければならない。バリア層金属内の銅原子の拡散率は、バイアスタッドV1の底部のバリア層の直下で、原子フラックス密度の急な減少を生じさせ、図2に示すように、やがてはボイド4を形成する。

【0006】多孔質絶縁体の使用は、バイアスタッド層V1と相互接続ラインM1との界面に、同時に電気的開回路を生じさせる。電気的開回路は、相互接続ラインM1へのバイアスタッドV1の物理的移動を許容する周囲絶縁体の弱い機械的完全性によって生じられる、相互接続ラインM1からのバイアスタッドV1の機械的分離の結果である。相対的な物理的移動は、熱行程の間の膨張および収縮の結果である。

【0007】従って、方法および構造のいくつかの発明にかかわらず、IC内の電気的開回路の問題が残り、その解決のための方法が求められなければならない。

【0008】

【発明が解決しようとする課題】従来技術の問題および

欠陥を考慮すると、この発明の目的は、半導体ICの改善された電気性能を有する相互接続部を提供することにある。

【0009】この発明の他の目的は、改善されたエレクトロマイグレーション寿命を有する相互接続部を提供することにある。

【0010】この発明のさらに他の目的は、エレクトロマイグレーションによって形成されたボイドをバイパスして流れる電流のための冗長経路を有する相互接続部を提供することにある。

【0011】この発明のさらに他の目的は、導体ラインとバイアスタッドとの間の接触が増大した表面積を有する相互接続部を提供することにある。

【0012】この発明のさらに他の目的は、バイアスタッドと金属ラインとの間の増大した機械的完全性を有する相互接続部を提供することにある。

【0013】

【課題を解決するための手段】上記および他の目的(当業者には明らかであろう)は、改善されたエレクトロマイグレーション寿命を有する高導電率金属相互接続部に関係するこの発明により、一般的に、特に銅において達成される。一態様では、この発明は、銅ラインとバイアスタッドの相互接続部を有する半導体ICチップを提供する。銅ラインは、その側面および底部にバリア層を有し、バイアスタッドは、バイアスタッドと、バリア層の上側または下側の導体ラインとの間に、バリア層が存在しないような、同軸状のバリア層を部分的に有している。相互接続部は、まず、少なくとも一方のサイド上で接触相互接続ラインに重なるバイアスタッドを構成し、次に、絶縁膜をエッチングして、その内部に、前のレベルの相互接続ラインを形成することによって、実現される。

【0014】関連する態様では、この発明は、デュアルダマシン法を用いて、改善されたエレクトロマイグレーション寿命を有する銅相互接続部を形成する方法に関する。この方法は、第1のレベルの周囲絶縁膜とはほぼ平坦な状態にある第1レベルの相互接続ライン(M1)を有する基板上に、第2の絶縁膜を付着し、第1レベルのバイアスタッド・パターン(V1)をリソグラフィで画成し、絶縁膜層を部分的にエッチングし、レジストを除去して、第2レベルの相互接続パターンをリソグラフィで画成し、絶縁膜層をエッチングする工程を含んでいる。この場合、重なりバイアスタッド・パターンの故に、相互接続ラインM1に隣接する第1レベルの絶縁膜もエッチングされる。この空洞形成に続いて、バリア金属が付着され、続いて、銅が電着され、化学機械研磨が行われる。相互接続ラインM1に隣接して形成された深い空洞内の金属は、エレクトロマイグレーション・ボイドが、バイアスタッドV1の直下の相互接続ラインM1内に形成される場合に、電流フローに対し冗長な経路

を与える。

【0015】

【発明の実施の形態】図3～図7を参照して、好適な実施例を説明する。これら図において、同一の参照番号は、この発明の同一の要素を示している。

【0016】図3は、従来のシリコン半導体構造の断面図を示している。図では、すべての半導体デバイスと、これら半導体デバイスに接触するコンタクト・スタッドとが、基板10内に含まれ、関連レベル上に形成されないコンタクトは、図示されていない。また、図3に示されるように、第1レベルの高導電率金属相互接続ライン・パターン(M1)20の一部が、従来技術のシングルダマシン法を用いて作製される。相互接続ライン20は、バリア層21と銅相互接続ライン22とからなり、ライン22の上面は、周囲の誘電体25とほぼ共面である。図4に示すように、デュアルダマシン法について現在の技術を実施して、窒化シリコンの薄層31と、レベル間誘電体層の薄層35とを付着する。レベル間誘電体層の材料は、有機物または無機物とすることができるが、低誘電率であることが望ましい。次に、誘電体35上には、バイアスタッド・パターンがフォトリソグラフィで画成され、続いて、図5に示すように、適切なエッチャントで、好適には反応性イオンエッチング(RIE)を用いて、誘電体35を部分的にエッチングする工程を行う。次に、第2レベルの相互接続ラインのためのパターンがフォトリソグラフィで画成され、レベル間酸化

化物35をさらにエッチングして、トレンチ33およびホール34を形成する。このエッチングは、窒化物層31が完全にエッチング除去されて、金属ライン22を露出させるまで行われる。現在の技術の最終形態を、図5に示す。図5では、バイアスタッド・パターン(V1)に相当するホール34と、第2レベルの相互接続ライン・パターン(M2)に相当するトレンチ33とが、レベル間誘電体層35内に形成されている。まず最初に、第2の金属相互接続パターンを画成して、誘電体35を部分的にエッチングし、次に、バイアスタッドの画成を行って、誘電体35、31をエッチングすることによって、パターン画成のシーケンスを逆に行うことができることに留意すべきである。いずれの方法でも、部分的なエッチング工程は、トレンチ33およびホール34の深さが、所望の相互接続金属ライン厚さ、およびバイアスタッド高さにそれぞれ一致するように、調整される。

【0017】この発明では、意図的に、V1バイア開口が、M1金属およびレベル1の絶縁体を露出させる。好ましくは、V1バイア開口は、多くとも、約80%のM1金属および約20%の絶縁体を露出させる。

【0018】この発明では、組合わされたバイアスタッドが、絶縁体層31、35にエッチングされて、第1レベルの相互接続ライン22の部分で、金属、好ましくは銅を、露出させる。図5に示すように、M1金属を囲む

第1レベルの絶縁体25をエッチングする。第1レベルの絶縁体のエッチングは、M1金属の厚さに等しいおおよその深さに対して続けられる。バイアスタッドV1の重なり構造は、金属M1に隣接する絶縁体25内に空洞を形成することを可能にする。好ましくは、エッチングは、酸化物エッチングである。

【0019】ダブルダマシン・プロセスの残りの工程を再開して、バリア層51を、スパッタ付着し、次に、図6に示すように、電気メッキされた銅層52を付着して、空洞33、34、36を充てんする。次に、好ましくは、化学機械研磨によって、パターニングされていない領域から過剰なすべての金属を除去する。図7は、研磨後のこの発明の、バイアスタッド70およびエッチングされた絶縁体75によって接続された2つの異なるレベルの金属ライン20および50の断面図を示す。図9はM1レベル20をM2レベル50と接続するこの発明のバイアスタッド70の斜視図を示す。この発明のプロセスは、半導体ICの2つの隣接するレベル上で実行できることに留意すべきである。図8は、時間をかけてゆっくりと形成される、あるいはストレス・テスト時に形成されるボイド80が示されている。電子の流れの方向に横断して配置されたバリア層の厚さが100Åより小さいと、バリア壁に蓄積する原子によって引き起こされるバック・ストレスが相殺されて、エレクトロマイグレーション・ボイドは形成されないことが示されている。従って、相互接続ラインM1のバリア層21および/またはバイアスタッドV1のバリア層51の厚さは、意図的に100Åより小さくできるので、溝金属75にボイドは形成されない。従って、エレクトロマイグレーション・ボイド80の形成にかかわらず、この発明のバイアスタッド構造は、電子の流れに対し連続的な経路を与える。この例では、ボイド80の存在下で、電子は、バリア層21を経る短い距離を流れることにより、ボイド80をバイパスする。

【0020】この発明の方法は、新規な相互接続構造を形成する。この構造については、図8に示すように、前に説明している。現在の構造とこの発明の構造との間の差異を表す平面図を、図10および図11に示す。この発明は、図10に示されており、図示のレベルはM1レベルである。この発明では、M1レベルをM2レベルに接続するバイアが囲む領域を、Aで示している。現在の技術を示す図11では、また、M1レベルを示している。M1レベルをM2レベルに接続するバイアは、Bで示す領域を囲んでいる。この例は、M1へのターミナルエンド・バイア接続の変形例を示しているが、この発明の方法および構造は、任意のレベルのバイアを前の金属レベルの任意の部分に接続するために使用できる。発明者らは、関連レベルのラインおよびバイアが別々に形成されるプロセスをも意図している。この場合、この発明の方法は適用でき、関連レベルのラインの形成は、前の

レベルの絶縁体のエッチングが行われた後に、行うことができる。

【0021】この発明を特定の実施例について説明したが、ここに述べた教示および説明が与えられるならば、多くの変形、変更が当業者には明らかであろう。例えば、好適な実施例の銅金属を、バリア層を用いて、あらゆる金属で置き換えることができる。また、誘電体は、充実または多孔質のいかなる低誘電率材料とすることもできる。さらに、ここで挙げた例は、ダブルゲマシン法に対するものであるが、相互接続ラインおよびバイアスタッドを形成するシングルゲマシン法にも同様に適用できる。さらに、この発明は、特許請求の範囲にあるすべての変形、変更を含むことを意図している。

【0022】まとめとして、本発明の構成に関して以下の事項を開示する。

- (1) バイアスタッドを形成する方法であって、
 - a) 付着された少なくとも第1レベルの金属を有する基板を準備する工程を含み、第1レベルの金属は、第1の絶縁体内に設けられ、
 - b) 第2の絶縁体の層を付着する工程と、
 - c) 関連レベルを形成するために、エッチャントで前記第2の絶縁体をエッチングする工程とを含み、前記関連レベルは、少なくとも1つのライン開口と少なくとも1つのバイア開口とを有し、各開口は、側壁と底部とを有し、前記エッチングは、前記第1レベルの金属と、前記バイア開口の下側の前記第1の絶縁体の一部を露出させ、
 - d) 露出された前記第1の絶縁体の一部をエッチングする工程と、
 - e) ライナを付着する工程とを含む、方法。
- (2) 前記ライナの厚さは、多くとも約100Åである、上記(1)に記載の方法。
- (3) 前記第1の絶縁体のエッチングされた部分は、前記バイア開口の幅にほぼ等しい、上記(1)に記載の方法。
- (4) 前記工程cにおけるエッチングは、酸化物エッチングである、上記(1)に記載の方法。
- (5) 前記工程cにおけるエッチングは、露出された前記第1の絶縁体の少なくとも一部がエッチングされるまで、続けられる上記(4)に記載の方法。
- (6) 前記第2の絶縁体は、有機または無機材料である、上記(1)に記載の方法。
- (7) 前記第2の絶縁体は、酸化シリコン、窒化シリコン、酸化シリコン層および窒化シリコン層の複合物、有機シリケートガラスよりなる群から選ばれる、上記(6)に記載の方法。
- (8) 前記第2の絶縁体は、3.0より小さい誘電率を有する、上記(6)に記載の方法。
- (9) 前記第2の絶縁体は、化学的多孔質である、上記(6)に記載の方法。

(10) 前記第2の絶縁体は、ゼロに近い破壊強度を有する、上記(6)に記載の方法。

(11) 前記ライン開口を、金属で充てんする工程をさらに含む、上記(1)に記載の方法。

(12) 前記金属は銅である、上記(11)に記載の方法。

(13) 前記ライナは、タンタル、チタン、タングステン、窒化タンタル、窒化チタン、窒化タングステンよりなる群から選ばれる、上記(12)に記載の方法。

(14) 少なくとも2つのレベルの金属を有する基板を備え、第1のレベルの金属は、第1のレベルは少なくとも1つの第1レベルのライン部を有し、この第1レベルのライン部は、第1の絶縁体内に設けられて、側壁を有し、第2のレベルは、側壁および底部を有する少なくとも1つの第2レベルのライン部と、側壁および底部を有する1つのバイア部とを、第2の絶縁体内に有し、前記バイア部は、前記第1レベルのライン部と、前記第2レベルのライン部とを接続し、前記バイア部の一部は、前記第1レベルのライン部と前記第1の絶縁体との間に設けられ、第2レベルのライン部の側壁および底部と、前記バイア部の側壁および底部とを、ライナが裏打ちする、ライン半導体構造。

(15) 前記バイア部は、前記第1の絶縁体の一部を、置き換えている、上記(14)に記載のライン半導体構造。

(16) 前記第1および第2の絶縁体のうちの少なくとも一方は、酸化シリコン、窒化シリコン、酸化シリコン層および窒化シリコン層の複合物、有機シリケートガラスよりなる群から選ばれる、上記(14)に記載のライン半導体構造。

(17) 前記第1および第2の絶縁体は、同一の材料よりなる、上記(16)に記載のライン半導体構造。

(18) 前記第1レベルのライン部と、前記第2レベルのライン部と、前記バイア部とは、金属よりなる、上記(13)に記載のライン半導体構造。

(19) 前記金属は銅である、上記(18)に記載のライン半導体構造。

(20) 前記第1レベルのライン部の下側のライナ層を備え、このライナ層は、前記バイア部と接触している、上記(19)に記載のライン半導体構造。

(21) 前記ライナ層は、タンタル、チタン、タングステン、窒化タンタル、窒化チタン、窒化タングステンよりなる群から選ばれる、上記(20)に記載のライン半導体構造。

【図面の簡単な説明】

【図1】バイアスタッドを経て互いに接続する第1および第2レベルの相互接続金属の一部を示す現在の技術の相互接続部の簡略化した断面図である。

【図2】エレクトロマイグレーション・ストレス・テスト

トに不合格の相互接続部の、図1と同様の断面図である。

【図3】現在の技術のプロセスによって、第1レベルの金属相互接続部まで形成された半導体基板の断面図であり、この発明の開始段階を示している。

【図4】現在の技術のプロセスによって、第1レベルの金属相互接続部まで形成された半導体基板の断面図であり、この発明の開始段階を示している。

【図5】現在の技術のプロセスによって、第1レベルの金属相互接続部まで形成された半導体基板の断面図であり、この発明の開始段階を示している。

【図6】現在の技術のプロセスによって、第1レベルの金属相互接続部まで形成された半導体基板の断面図であり、この発明の開始段階を示している。

【図7】この発明の相互接続部の断面図である。

【図8】ストレス・テストの際に形成されたエレクトロマイグレーション・ボイドを有する図7の相互接続部の断面図である。

【図9】冗長電流経路を与える現在の技術のバイアスタッド構造の一部を示す斜視図である。

【図10】この発明のバイアスタッドおよび金属ライン

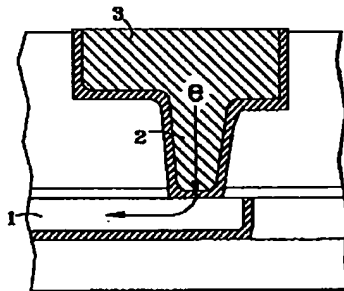
の平面図である。

【図11】現在の技術のバイアスタッドおよび金属ラインの平面図である。

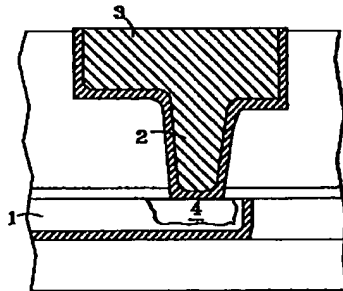
【符号の説明】

- 10 基板
- 20 第1レベルの相互接続ライン・パターン
- 21 バリア層
- 22 銅相互接続ライン
- 25 誘電体
- 31 窒化シリコンの薄層
- 33 トレンチ
- 34 ホール
- 35 誘電体層の薄層
- 36 空洞
- 50 第2レベルの相互接続ライン・パターン
- 51 バリア層
- 52 銅層
- 70 バイアスタッド
- 75 溝金属
- 80 ボイド

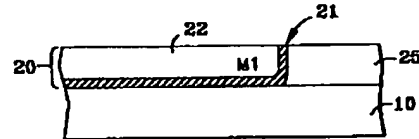
【図1】



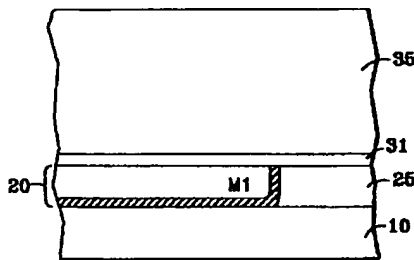
【図2】



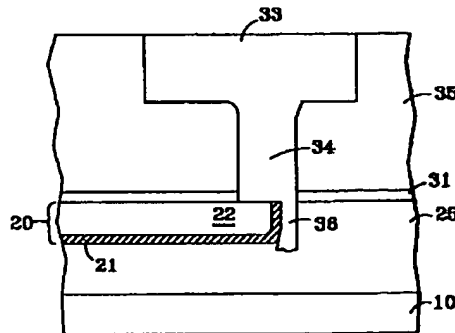
【図3】



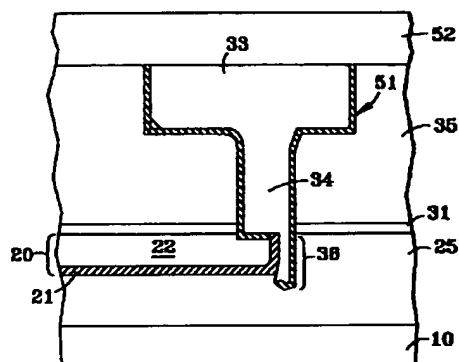
【図4】



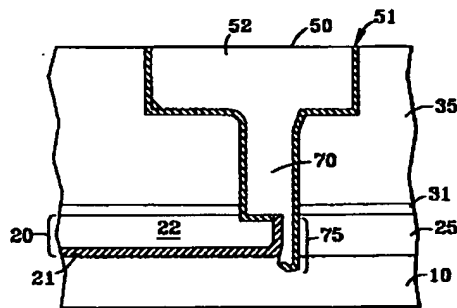
【図5】



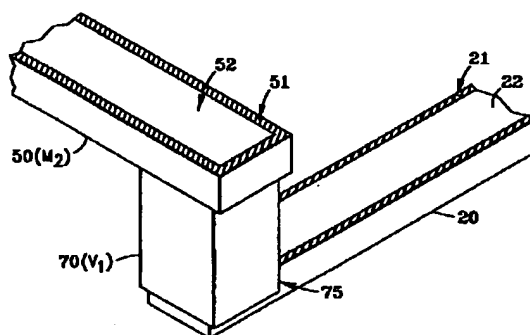
【図6】



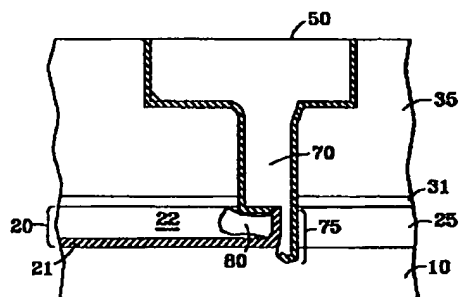
【図7】



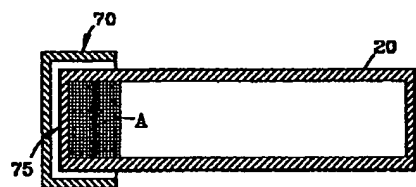
【図9】



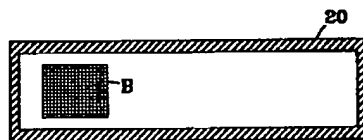
【図8】



【図10】



【図11】



フロントページの続き

(72)発明者 ホーマダイアー・エム・ダラル
 アメリカ合衆国 12540 ニューヨーク州
 ラグランジュヴィル ヴェリー ロード
 94
 (72)発明者 バレンドラ・アガルワラ
 アメリカ合衆国 12533 ニューヨーク州
 ホープウェル ジャンクション サドル
 リッジ ドライブ 56

(72)発明者 テレンス・ケイン
 アメリカ合衆国 12590 ニューヨーク州
 ワッピンガーズ フォールズ ボウドイ
 ン レーン 26
 (72)発明者 ボウル・エス・マクロウリン
 アメリカ合衆国 12601 ニューヨーク州
 ボウキープシー デヴィッド ドライブ
 103

(72)発明者 デュ・ニューイエン
アメリカ合衆国 06810 コネティカット
州 ダンベリー ヒッコリー ストリート
15

(72)発明者 リチャード・プロクター
アメリカ合衆国 12533 ニューヨーク州
ホープウェル ジャンクション ブロー
ク ドライブ 9

(72)発明者 ハザラ・エス・ラソアー
アメリカ合衆国 12582 ニューヨーク州
ストームヴィル ジュディス ドライブ
27

(72)発明者 ユンユー・ウォング
アメリカ合衆国 12570 ニューヨーク州
ボウクウェイグ サイファー レーン
34

Fターム(参考) 4K024 AA09 AB01 BA15 BB12 DA07
FA06
5F033 HH11 HH18 HH19 HH21 HH32
HH33 HH34 JJ01 JJ11 JJ18
JJ19 JJ21 JJ32 JJ33 JJ34
KK11 KK18 KK19 KK21 KK32
KK33 KK34 MM01 MM02 MM12
MM13 NN06 NN07 NN12 PP15
PP27 QQ09 QQ13 QQ21 QQ37
QQ48 RR01 RR04 RR06 RR21
RR25 RR29 TT04 WW02 WW09
XX00 XX09 XX24